

Laid-Open Number : 57-169795
Laid-Open Date : October 19, 1982
Application Number : 56-55122
Application Date : April 14, 1981
Int. Class Number : G09G 3/36, G02F 1/133, G09F 9/35
Applicant : Citizen Watch Co., Ltd.

Specification

1. Title of the Invention

Matrix Liquid Crystal Display Panel

2. Claims

(1) A matrix liquid crystal display panel, characterized in that in said matrix liquid crystal display panel in which a number of pixels comprising a liquid crystal layer and an electrode having switching devices for driving said liquid crystal layer are arranged in the longitudinal and lateral directions and are driven in a matrix manner, a decoder circuit is provided for each of said pixels.

(2) A matrix liquid crystal display panel according to claim 1, characterized in that said decoder circuit is constructed by a plurality of switching devices connected in series.

(3) A matrix liquid crystal display panel according to claim 2, characterized in that said plurality of switching devices are constructed by an enhancement type MOS transistor and a depletion type MOS transistor.

3. Detailed Description of the Invention

The present invention relates to improvements in a liquid crystal display panel in which a liquid crystal layer is allowed to intervene between a substrate on which switching devices are integrated and a transparent substrate on which a transparent electrode is provided on one side and it is an object to realize a reduction of the number of external connecting terminals and to improve the reliability of a display apparatus.

The invention will now be described with reference to the drawings hereinbelow.

A conventional liquid crystal display panel using an MOS-type transistor is constructed as shown in Fig. 1. Fig. 1 is a schematic diagram showing the construction of the conventional display panel. A unit pixel

comprises an MOS-type transistor 1, a liquid crystal cell 2, and a charge accumulating capacitor 3. For example, when an ON signal is supplied to a scanning electrode X_i , the MOS-type transistor 1 is turned on to charge the capacitor 3 by a video signal electrode Y_i through the transistor 1. In case that an OFF signal is supplied to the scanning electrode, the liquid crystal layer 2 is in the ON state while a voltage is applied to the liquid crystal layer 2 by the charges in the capacitor 3, and optical characteristics of the liquid crystal layer 2 are controlled by a video signal. As shown in Fig. 1, the unit pixels are arranged in a matrix form and are driven by linear scanning, thereby obtaining a moving image display. The operation of the display panel requires to connect external driving circuits, the scanning electrodes, and the video signal electrodes. In the case where the unit pixels are arranged in a matrix form of M rows and N columns, when the number of scanning electrodes is set to M and the number of video signal electrodes is set to N , the number of external connecting terminals amounts to $(M + N)$. Performing a display similar to that by a CRT requires at least about the amounts of ($M = 200$ and $N = 600$). Consequently, the number of external connecting terminals amounts to 800, so that an increase in size of the display apparatus caused by an increase in bonding pad area, and an increase in costs and a decrease in reliability due to the large number of bonding times cause an obstacle to put into practical use. According to the invention, there is provided a liquid crystal display panel of low costs with the high reliability, in which the number of video signal electrodes are reduced by providing a decoder circuit for each pixel. It will now be described on the basis of embodiments with reference to the drawings

[Embodiment 1]

Fig. 2 is a schematic diagram showing the construction of the display panel according to the invention.

In each pixel, two MOS-type transistors as switching devices are formed in series, thereby constructing a decoder circuit 41. Signals from $X_{i,1}$ and $X_{i,2}$ and signals inverted by inverters 10 are supplied to the gate of each MOS-type transistor as shown in the diagram. A signal of a video signal electrode Y_i is transmitted to any one of liquid crystal cells 4, 6, and 8 depending on the signal supplied to the scanning electrodes $X_{i,1}$ and $X_{i,2}$.

That is, the signal can be alternatively transmitted to one of the liquid crystal cells of three dots in the lateral direction by one video signal electrode. Reference numerals 5, 7, and 9 denote capacitors.

[Embodiment 2]

Fig. 2 is a schematic diagram showing the construction of a display panel in another embodiment of the invention.

Fig. 3 shows the construction. In each pixel, any two of an enhancement type MOS transistor 17 and a depletion type MOS transistor 18 as switching devices are formed in series, thereby constructing a decoder circuit 42. In the embodiment, since the depletion type one and the enhancement type one are combined and used, a negative signal is not needed, so that the inverter 10 in the embodiment 1 is not required. It is similar to the embodiment 1 that the video signal is alternatively supplied to one of three pixels depending on the combination of potentials of the scanning electrodes $X_{i,1}$ and $X_{i,2}$. It is a matter of course that the case of combination of an n-type enhancement MOS transistor and a P-type depletion MOS transistor also has the function similar to the above.

As mentioned above, according to the invention, the liquid crystal display panel of low costs with the high reliability is realized by providing the decoder circuit for each pixel to reduce the number of video signal electrodes. Particularly, the invention is effective to a PGB, a panel of one system, and a panel of a plane distribution gradation system.

4. Brief Description of the Drawings

Fig. 1 is a schematic diagram showing a conventional liquid crystal display panel using an MOS-type transistor; and Fig. 2 and Fig. 3 are schematic diagrams showing the construction of the display panels in the first and second embodiments of the invention.

[Description of the Reference Numerals]

1 MOS transistor, 2 liquid crystal layer, 41, 42 decoder circuit, 10 inverter, 17 enhancement type MOS transistor, 18 depletion type MOS transistor

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-169795

⑮ Int. Cl.³

G 09 G 3/36

G 02 F 1/133

G 09 F 9/35

識別記号

1 1 2

庁内整理番号

7250-5C

7348-2H

7520-5C

⑯ 公開 昭和57年(1982)10月19日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ マトリクス液晶表示パネル

⑰ 特 願 昭56-55122

⑱ 出 願 昭56(1981)4月14日

⑲ 発 明 者 増淵貞夫

所沢市大字下富字武野840シチ

⑰ 出 願 人

ズン時計株式会社技術研究所内

シチズン時計株式会社

東京都新宿区西新宿2丁目1番

1号

⑲ 代 理 人

弁理士 金山敏彦

明 細 書

1. 発明の名称

マトリクス液晶表示パネル

2. 特許請求の範囲

(1) 液晶層とこれを駆動するスイッチ素子を備えた電極とから成る画素を縦横に多数個配列してマトリクス駆動するマトリクス液晶表示パネルにお

とを特徴とするマトリクス液晶表示パネル。

(2) デコーダ回路が直列に接続した複数のスイッチング素子から成ることを特徴とする特許請求の範囲第1項記載のマトリクス液晶表示パネル。

(3) 複数のスイッチング素子がエンハンスメント形 MOS トランジスタとデプレッション形 MOS トランジスタから成ることを特徴とする特許請求の範囲第2項記載のマトリクス液晶表示パネル。

3. 発明の詳細な説明

本発明は、スイッチング素子を集積した基板と、一方に透明電極を設けた透明基板との間に液晶層を介在せしめた液晶表示パネルの改良に関し、外

部接続端子数の低減化と、表示装置の信頼性の向上を目的とするものである。

以下、図面を参照して説明する。

MOS 形トランジスタを用いた従来の液晶表示パネルは第1図に示すように構成されている。第1図は従来の表示パネルの構成を示す結線図である。単位画素を構成するのは MOS 形トランジス

る。例えば、走査電極 X_i に ON 信号が印加されると MOS 形トランジスタ 1 が ON となり、映像信号電極 Y_i からトランジスタ 1 を通つてコンデンサ 3 を充電する。走査電極に OFF 信号が印加されてもコンデンサ 3 の電荷が液晶層 2 に電圧を与える間は、液晶層 2 は ON 状態であり、映像信号により液晶層 2 の光学特性が制御される。第1図に示したように単位画素をマトリクス状に配列し、線走査駆動により動画表示が得られる。この表示パネルを動作するには、外部駆動回路と、走査電極や映像信号電極を接続する必要がある。単位画素を M 行 N 列のマトリクス状に配設した場合、

走査電極を M 本、映像信号電極を N 本とすると外部接続端子は $(M+N)$ 本となる。 CRT と同様な表示を行なうには、少なくとも $M=200$ 本、 $N=600$ 本程度は必要であるとされている。すると外部接続端子は800本となり、ボンディングパッド面積の増大による表示装置の大型化、多数のボンディング数によるコスト上昇および信頼性の低下が実用化の障害となつている。本発明は、各画素にデコーダ回路を配設することにより映像信号電極数を低減し、低コストで高信頼性を有する液晶表示パネルを提供するものである。以下、実施例にもとづき図面を参照して説明する。

実施例 1

第2図は本発明の表示パネル構成を示す結線図である。

各画素ごとに、スイッチ素子として MOS 形トランジスタを2個直列に形成してデコーダ回路41とする。各 MOS 形トランジスタのゲートは、 $X_{i,1}$ 、 $X_{i,2}$ およびインバータ10で反転された信号がそれぞれ図のように接続される。

ジスタおよび P 型デプレッション MOS トランジスタの組み合わせの場合にも同様な機能を有することは勿論である。

以上述べたように、本発明は各画素にデコーダ回路を配設して映像信号電極数を低減化することにより低コストで高信頼性の液晶表示パネルを実現するものである。特に本発明は PGB から一方

る。

4. 図面の簡単な説明

第1図は MOS 形トランジスタを用いた従来の液晶表示パネルの構成を示す結線図、第2図および第3図は本発明の実施例における表示パネルの構成を示す結線図である。

- 1... MOS トランジスタ、2...液晶層、
- 41、42...デコーダ回路、10...インバータ、
- 17...エンハンスメント型 MOS トランジスタ、
- 18...デプレッション型 MOS トランジスタ。

特許出願人 シチズン時計株式会社

代理人 弁理士 金山 敏彦

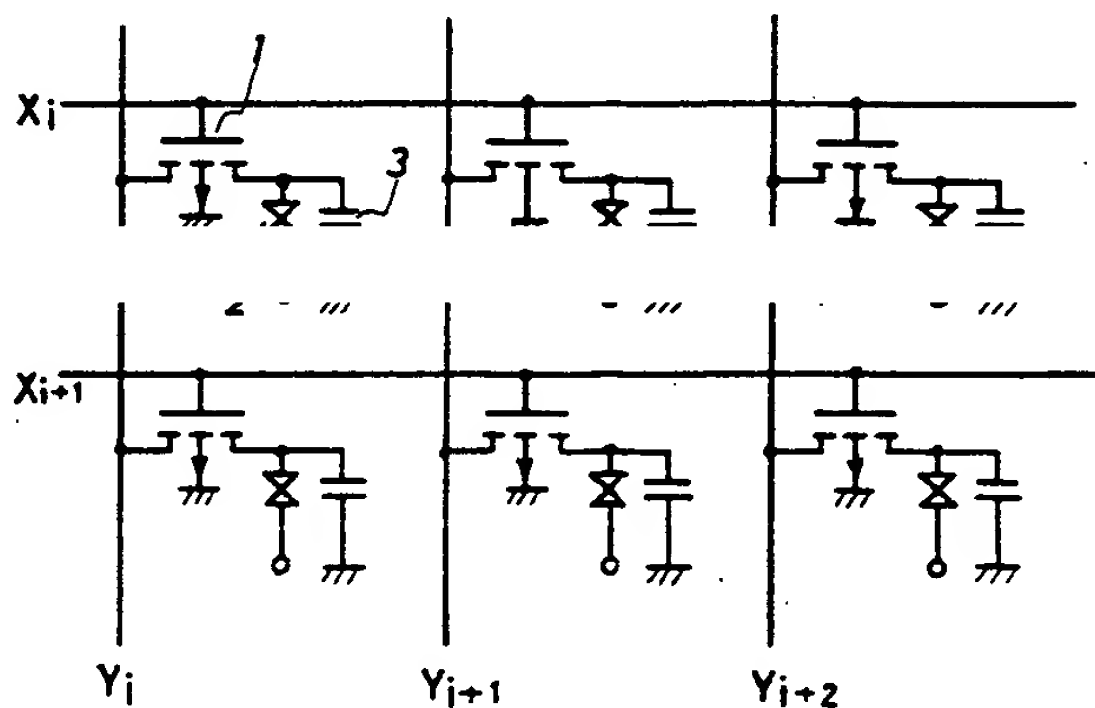
走査電極 $X_{i,1}$ 、および $X_{i,2}$ に印加される信号に依存して、液晶セル4、6、8の一つに映像信号電極 Y_i の信号が伝達される。すなわち一本の映像信号電極で横3ドットの液晶セルに択一的に信号を伝達することができる。5、7、9はコンデンサである。

実施例 2

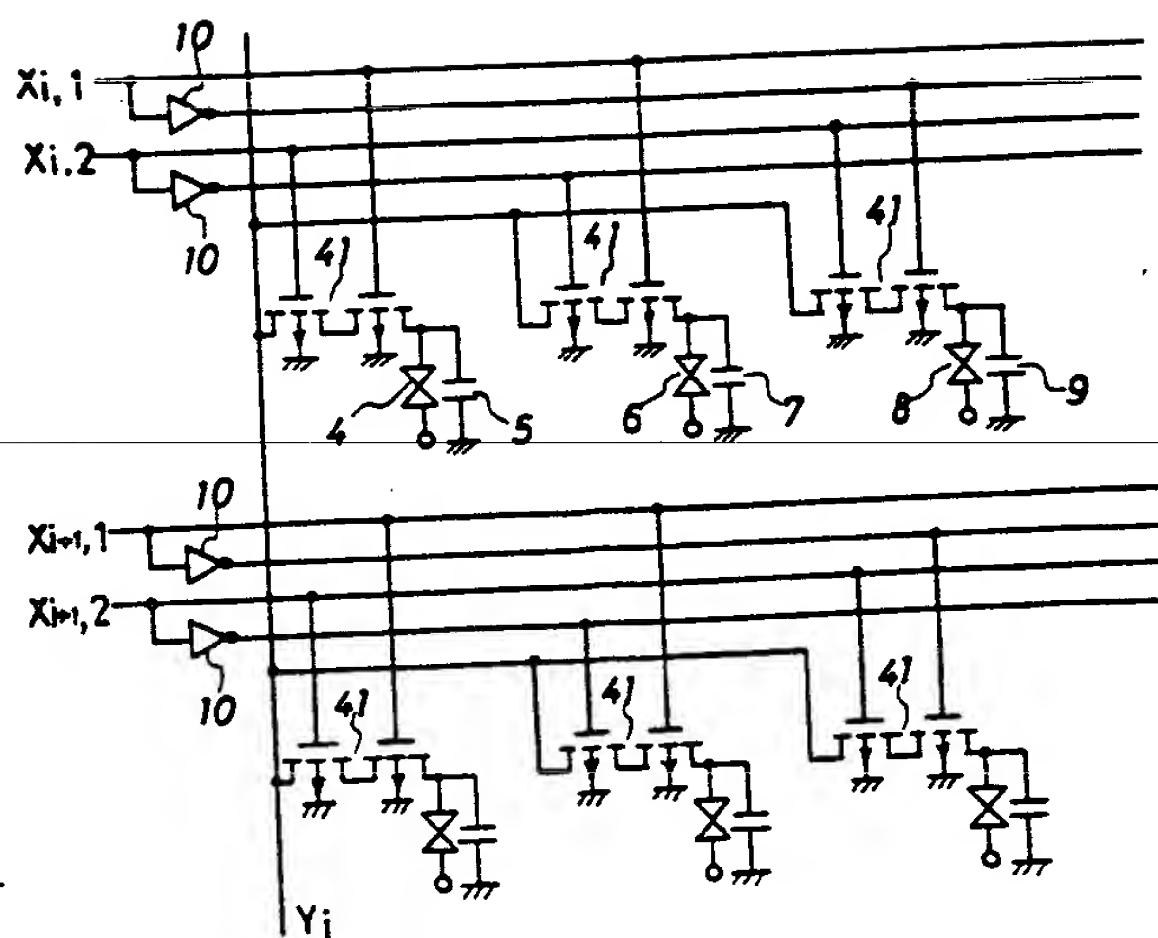
第2図は本発明における他の実施例における表示パネルの構成を示す結線図である。

第3図に構成を示す。各画素ごとに、スイッチ素子としてエンハンスメント型 MOS トランジスタ17とデプレッション型 MOS トランジスタ18のいずれかを2個直列に形成してデコーダ回路42とする。本実施例においては、デプレッション型とエンハンスメント型を組み合わせる用いるので、否定信号が不要となり実施例1でのインバータ10が不要となる。走査電極 $X_{i,1}$ と $X_{i,2}$ の電位の組み合わせにより3つの画素の中の1つに択一的に映像信号が印加されることは実施例1と同様である。 n 型エンハンスメント MOS トラン

第1図



第 2 図



第 3 図

